

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010068729 A
 (43)Date of publication of application: 23.07.2001

(21)Application number: 1020000000786
 (22)Date of filing: 08.01.2000

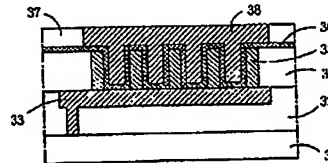
(71)Applicant: HYNIX SEMICONDUCTOR INC.
 (72)Inventor: KIM, JAE YEONG

(51)Int. Cl. H01L 27/108

(54) FABRICATING METHOD OF CAPACITOR

(57) Abstract:

PURPOSE: A fabricating method of a capacitor is provided to easily assure electrostatic capacitance with a small area by forming a plurality of metal patterns on a lower electrode pattern to extend the surface area of the lower electrode.



CONSTITUTION: At first, the first oxide(32) is formed on a substrate(31), a trench is formed on the first oxide, and the first metal layer(33) positioned in the trench and contacted to a particular area of a semiconductor device through a contact hole in the first oxide is formed. Then, the second oxide(34) is deposited and then the first metal layer(33) is exposed by forming a plurality of contact holes in the second oxide. Next, the second metal layer(35) is formed by depositing metal to all surface and planarizing the metal. Then, the second oxide patterns between the second metal layers are removed, and a dielectric layer(36) is deposited. Next, the third oxide(37) is deposited, patterns for exposing the dielectric layer are formed, and then the third metal layer(38) positioned on an etching area of the third oxide is formed.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020730)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/108	(11) 공개번호 (43) 공개일자	특2001-0068729 2001년07월23일
(21) 출원번호	10-2000-0000786	
(22) 출원일자	2000년01월08일	
(71) 출원인	주식회사 하이닉스반도체, 박종섭 대한민국 467-866 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자	김재영 대한민국 361-240 충청북도청주시흥덕구개신동두산한솔아파트101동708호	
(74) 대리인	박장원	
(77) 심사청구	있음	
(54) 출원명	커패시터 제조방법	

요약

본 발명은 커패시터 제조방법에 관한 것으로, 종래 커패시터 제조방법은 반도체 장치의 고집적화가 심화되면서 그 면적이 줄어들게 되면 정전용량의 확보가 용이하지 않아, 집적도가 감소하는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 기판의 상부에 제1절연막을 증착하고, 그 제1절연막의 상부일부에 트렌치를 형성하고, 금속의 증착 및 평탄화공정을 통해 상기 트렌치 내에 위치하며, 제1절연막에 형성된 콘택홀을 통해 반도체 소자의 특정영역에 접하는 제1금속층을 형성하는 단계와; 상기 구조의 상부전면에 제2절연막을 증착하고, 사진식각공정을 통해 상기 제2절연막에 복수의 콘택홀을 형성하여 상기 제1금속층의 상부를 노출시키는 단계와; 상기 구조의 상부전면에 금속을 증착하고 평탄화하여 상기 제2절연막에 형성된 콘택홀에 위치하는 제2금속층을 형성하는 단계와; 상기 제2금속층의 사이에 위치하는 제2절연막 패턴을 모두 제거하고, 상기 제1 및 제2금속층과 제2절연막의 상부에 유전막을 증착하는 단계와; 상기 유전막의 상부전면에 제3절연막을 증착하고, 사진식각공정을 통해 상기 제2금속층의 상부 및 제1금속층의 상부에 위치하는 유전막의 상부측을 노출시키는 패턴을 형성한 후, 금속을 증착하고 평탄화하여 상기 제3절연막의 식각영역에 위치하는 제3금속층을 형성하는 단계로 구성되어, 집적도를 향상시키는 효과가 있다.

대표도

도3e

명세서

도면의 간단한 설명

도1a 내지 도1c는 종래 커패시터 제조공정의 일실시예를 보인 제조공정 수순단면도.

도2a 내지 도2e는 종래 커패시터 제조공정의 다른 실시예를 보인 제조공정 수순단면도.

도3a 내지 도3e는 본 발명 커패시터 제조공정 수순단면도.

도면의 주요 부분에 대한 부호의 설명

31:기판***32,34,37:절연막

33:제1금속층***35:제2금속층

36:유전막***38:제3금속층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 커패시터 제조방법에 관한 것으로, 특히 좁은 면적에 금속-절연막-금속 구조의 고용량 커패시터를 형성할 수 있는 커패시터 제조방법에 관한 것이다.

일반적으로, 아날로그 회로에서 커패시터는 전압의 증가에 따른 커패시턴스의 변화가 없어야 하나 다결정실리콘-절연막-다결정실리콘 구조의 커패시터는 듀얼게이트 산화막 공정을 채용함에 따라 게이트의 도핑농도가 감소하여 전압 증가에 따른 공핍(DEPLETION)의 증가로 인한 유효 유전두께(EFFECTIVE DIELECTRIC THICKNESS)의 증가로 인한 커패시턴스의 감소가 크게 발생하여 최근에는 이러한 공핍현상이 발생하지 않는 금속-절연막-금속 구조를 갖는 커패시터를 사용하고 있으며, 이와 같은 종래 커패시터 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1a 내지 도1c는 종래 금속-절연막-금속 구조의 커패시터 제조공정 수순단면도로서, 이에 도시한 바와 같이 반도체 기판(1)상에 형성된 절연막(2)의 상부전면에 제1금속층(3)을 증착하고, 그 제1금속층(3)의 중앙상부에 절연막(4)을 증착한 다음, 그 절연막(4)과 제1금속층(3)의 상부전면에 제2금속층(5)을 증착하는 단계(도1a)와; 사진식각공정을 통해 상기 제1금속층(3)과 제2금속층(5)이 직접접하는 영역의 일부를 제거하고, 상기 절연막(4)의 중앙상부에 위치하는 제2금속층(5)을 소정면적으로 분리시키는 패턴을 형성하는 단계(도1b)와; 상기 구조의 상부전면에 절연막(6)을 증착하고, 그 절연막(6)에 콘택홀을 형성하여 상기 절연막(4)의 중앙상부에 위치하는 제2금속층(5)의 일부를 노출시킴과 아울러 상기 절연막(4)의 측면부에서 그 하부의 제1금속층(3)과 접하는 제2금속층(5)의 일부를 노출시킨 후, 그 콘택홀에 도전물질층을 채워 커패시터 노드(7)를 형성하는 단계(도1c)로 구성된다.

이하, 상기와 같이 구성된 종래 커패시터 제조방법을 좀 더 상세히 설명한다.

먼저, 도1a에 도시한 바와 같이 반도체 소자가 형성된 기판(1)의 상부에 절연막(2)을 증착한다.

그 다음, 상기 절연막(2)의 상부전면에 금속을 증착하여 제1금속층(3)을 형성한다. 이때의 제1금속층(3)은 커패시터의 하부전극으로 이용된다.

그 다음, 상기 제1금속층(3)의 상부전면에 절연막(4)을 증착하고, 사진식각공정을 통해 상기 제1금속층(3)의 상부일부에 위치하는 절연막(4) 패턴을 형성하여, 커패시터의 유전막을 형성한다.

그 다음, 상기 절연막(4)과 제1금속층(3)의 상부전면에 금속을 증착하여 제2금속층(5)을 형성한다.

그 다음, 도1b에 도시한 바와 같이 사진식각공정을 통해 상기 절연막(4)의 측면일부에 위치하는 제1금속층(3)과 제2금속층(5)이 직접접하는 영역의 일부를 제외한 모든 제1금속층(3)과 제2금속층(5)이 직접 접하는 영역을 식각하고, 상기 절연막(4)의 상부중앙영역에 위치하는 제2금속층(5)이 그 주변부의 제2금속층(5)과는 분리되는 패턴을 형성하여, 하부전극인 제1금속층(3), 유전막인 절연막(4), 그 절연막(4)의 상부중앙에 위치하는 상부전극인 제2금속층(5)과, 상기 절연막(4)의 측면에서 제1금속층(3)과 접하여 이후의 공정에서 외부로 부터 전압의 인가가 용이하도록 하는 제2금속층(5)을 포함하는 커패시터를 제조한다.

그 다음, 도1c에 도시한 바와 같이 상기 구조의 상부전면에 절연막(6)을 증착하고, 사진식각공정을 통해 상기 절연막(6)에 콘택홀을 형성하여 상기 절연막(4)의 중앙상부에 위치하는 제2금속층(5)의 일부를 노출시킴과 아울러 상기 제1금속층(3)과 접속되는 제2금속층(5)의 상부일부를 노출시킨다.

그 다음, 상기 구조의 상부전면에 금속을 증착하고, 그 금속을 평탄화하여 상기 콘택홀을 통해 노출된 각 제2금속층(5)의 일부영역에 접속되는 커패시터 노드(7)를 형성하여, 금속-절연막-금속 구조의 커패시터를 형성하게 된다.

그러나, 상기 구조는 평면상에서 커패시터의 상부 및 하부전극이 위치하도록 하여 집적도를 고려하여 그 정전용량이 저하되는 문제점이 있었으며, 이를 해결하기 위해 상감법(DAMASCENE)을 이용하여 입체적인 커패시터전극을 형성하여 정전용량을 향상시켰으며, 이와 같은 종래 커패시터 제조방법의 다른 실시예를 설명한다.

도2a 내지 도2e는 종래 커패시터 제조방법의 다른 실시공정 수순단면도로서, 이에 도시한 바와 같이 기판(21)에 절연막(22)을 증착하고, 그 절연막(22)에 서로 분리되는 두 트랜치를 형성한 후, 금속을 증착하고 평탄화하여 상기 트랜치 내에 위치하는 금속배선(23,24)을 형성하는 단계(도2a)와; 상기 구조의 상부전면에 절연막(25)을 증착하고, 사진식각공정을 통해 상기 금속배선(23,24)의 중앙부를 노출시키는 패턴을 형성하는 단계(도2b)와; 상기 구조의 상부전면에 금속(26)과 절연막(27)을 증착하는 단계(도2c)와; 상기 구조의 상부전면에 금속(28)을 증착한 후, 그 금속(28)과 절연막(27), 금속(26)을 순차적으로 평탄화하여 상기 절연막(22)에 형성된 트랜치 내에 위치하는 금속배선(23)의 상부측에서 절연막(25)의 식각영역 측면 및 저면에 위치하는 하부전극과 그 하부전극의 상부전면에 위치하는 유전막과, 그 절연막의 사이영역에 위치하는 상부전극으로 구성되는 커패시터를 형성하는 단계(도2d)와; 상기 구조의 상부전면에 절연막(29)을 증착하고, 그 절연막(29)에 콘택홀을 형성한 다음, 그 콘택홀 내에 위치하는 커패시터 노드(30)를 형성하는 단계(도2e)로 구성된다.

이하, 상기와 같이 구성된 종래 커패시터 제조방법을 좀 더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 반도체 소자가 형성된 기판(21)의 상부전면에 절연막(22)을 증착하고, 사진식각공정을 통해 상기 절연막(22)의 일부영역에 두 트랜치를 형성한다.

그 다음, 상기 트랜치가 형성된 절연막(22)의 상부전면에 금속을 증착하고, 평탄화하여 상기 트랜치 내에 위치하는 금속배선(23,24)을 형성한다.

그 다음, 도2b에 도시한 바와 같이 상기 구조의 상부전면에 절연막(25)을 증착하고, 사진식각공정을 통해 상기 금속배선(23,24)을 노출시키는 패턴을 형성한다.

그 다음, 다시 사진식각공정을 통해 상기 금속배선(23)을 노출시킨 절연막(25)의 식각영역 측면에 위치하는 절연막(25)의 상부일부를 식각하여 주변의 절연막(25)과는 단차를 갖도록 형성한다.

그 다음, 도2c에 도시한 바와 같이 상기 절연막(25)과 노출된 금속배선(23,24)의 상부전면에 금속(26)과 절연막(27)을 순차적으로 증착한다. 이때, 금속(26)은 상대적으로 작은 크기의 금속배선(24)을 노출시키는 콘택홀을 모두 채우도록 증착하며, 상기 금속(26)과 절연막(27)의 증착으로 상기 금속배선(23)을 노출시키는 콘택이 채워지지 않도록 한다.

그 다음, 도2d에 도시한 바와 같이 상기 절연막(27)의 상부전면에 금속(28)을 증착한 후, 그 금속(28)과 절연막(27), 금속(26)을 평탄화하여 커패시터를 제조하고, 그 커패시터 하부전극인 금속(26)이 절연막(25)상에 연장되도록 한다.

그 다음, 도2e에 도시한 바와 같이 상기 구조의 상부전면에 절연막(29)을 증착하고, 그 절연막(29)에 콘택홀을 형성하여 상기 절연막(25)의 단차영역에 위치하는 금속(26)과, 상기 커패시터 상부전극인 금속(28), 상기 금속배선(24)에 접속되는 금속(26)을 노출시키는 패턴을 형성한다.

그 다음, 그 절연막(29)에 형성된 콘택홀 내에 위치하는 커패시터노드(30)를 형성한다.

이와 같은 구조는 커패시터 하부전극을 절연막의 측면까지 확장하여 좁은 면적 내에서 정전용량을 증가시킨다;

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래 커패시터 제조방법으로 제조되는 커패시터 또한 반도체 장치의 고집적화가 심화되면서 그 면적이 줄어들게 되면 정전 용량의 확보가 용이하지 않아, 집적도가 감소하는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 적은 면적내에서 정전용량의 확보가 용이한 커패시터 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 기판의 상부에 제1절연막을 증착하고, 그 제1절연막의 상부일부에 트렌치를 형성하고, 금속의 증착 및 평탄화공정을 통해 상기 트렌치 내에 위치하여, 제1절연막에 형성된 콘택홀을 통해 반도체 소자의 특정영역에 접하는 제1금속층을 형성하는 하부전극형성단계와; 상기 구조의 상부전면에 제2절연막을 증착하고, 사진식각공정을 통해 상기 제2절연막에 복수의 콘택홀을 형성하여 상기 제1금속층의 상부를 노출시키는 확장영역 설정단계와; 상기 구조의 상부전면에 금속을 증착하고 평탄화하여 상기 제2절연막에 형성된 콘택홀에 위치하는 제2금속층을 형성하는 하부전극 면적 확장단계와; 상기 제2금속층의 사이에 위치하는 제2절연막 패턴을 모두 제거하고, 상기 제1 및 제2금속층과 제2절연막의 상부에 유전막을 증착하는 유전막 증착단계와; 상기 유전막의 상부전면에 제3절연막을 증착하고, 사진식각공정을 통해 상기 제2금속층의 상부 및 제1금속층의 상부에 위치하는 유전막의 상부측을 노출시키는 패턴을 형성한 후, 금속을 증착하고 평탄화하여 상기 제3절연막의 식각영역에 위치하는 제3금속층을 형성하는 상부전극형성단계로 구성함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도3a 내지 도3e는 본 발명 커패시터의 제조공정 수순단면도로서, 이에 도시한 바와 같이 반도체 소자가 형성된 기판(31)의 상부에 절연막(32)을 증착하고, 절연막(32)의 상부일부를 소정면적으로 식각한 후, 그 식각영역의 저면에 콘택홀을 형성하여 상기 반도체 소자의 특정영역을 노출시키고, 그 구조의 상부전면에 금속을 증착하고 평탄화하여 상기 콘택홀 및 절연막(32)의 식각영역 내에 위치하는 제1금속층(33)을 형성하는 단계(도3a)와; 상기 구조의 상부전면에 절연막(34)을 증착하고, 그 절연막(34)을 사진식각공정으로 패터닝하여 상기 제1금속층(33)의 상부일부를 독립된 복수개의 영역으로 노출시킨 후, 그 구조의 상부전면에 금속을 증착하고, 평탄화하여 상기 절연막(34)의 식각영역 내에 위치하는 제2금속층(35)을 형성하는 단계(도3b)와; 상기 구조의 상부전면에 포토레지스트(PR)를 도포하고, 노광 및 현상하여 상기 복수개의 제2금속층(35) 패턴의 사이에 위치하는 절연막(34)을 노출시키는 패턴을 형성한 후, 그 포토레지스트(PR)를 식각마스크로 노출된 절연막(34)을 제거하는 단계(도3c)와; 상기 포토레지스트(PR) 패턴을 제거한 후, 노출되는 절연막(34)과 제1 및 제2금속층(33,35)의 상부전면에 유전막(36)을 증착하는 단계(도3d)와; 상기 유전막(36)의 상부전면에 절연막(37)을 증착하고, 패터닝하여 상기 유전막(36)이 절곡되도록 형성된 영역의 상부를 노출시키는 패턴을 형성한 후, 금속을 증착하고 평탄화하여 제3금속층(38)을 형성하는 단계(도3e)로 구성된다.

이하, 상기와 같은 본발명을 좀더 상세히 설명한다.

먼저, 도3a에 도시한 바와 같이 반도체 소자가 형성된 기판(31)의 상부에 절연막(32)을 증착하고, 그 절연막(32)의 상부에 포토레지스트(도면 미도시)를 도포하고, 노광 및 현상하여 그 절연막(32)의 일부를 노출시키는 패턴을 형성한 후, 그 포토레지스트 패턴을 식각마스크로 사용하는 식각공정으로 상기 노출된 절연막(32)을 소정 깊이로 식각한다.

그 다음, 상기 포토레지스트를 제거하고, 다시 사진식각공정으로 상기 그 식각영역의 저면에 콘택홀을 형성하여 상기 반도체 소자의 특정영역을 노출시킨다.

그 다음, 상기 구조의 상부전면에 금속을 증착하고, 평탄화하여 상기 콘택홀을 통해 노출된 반도체 소자의 특정영역에 접촉될과 아울러 상기 절연막(32)의 식각영역 내에 위치하는 제1금속층(33)을 형성한다.

이때의 제1금속층(33)은 커패시터의 하부전극으로 이용된다.

그 다음, 도3b에 도시한 바와 같이 상기 구조의 상부전면에 절연막(34)을 증착하고, 그 절연막(34)을 사진식각공정으로 패터닝하여 상기 제1금속층(33)의 상부일부를 독립된 복수개의 영역으로 노출시킨다.

그 다음, 상기 구조의 상부전면에 금속을 증착하고, 평탄화하여 상기 절연막(34)의 식각영역 내에 위치하는 제2금속층(35)을 형성한다.

이때의 제2금속층(35)은 제1금속층(33)과 함께 커패시터의 하부전극으로 작용하며, 제2금속층(35)은 커패시터의 하부전극 표면적을 확장시키게 된다.

그 다음, 도3c에 도시한 바와 같이 상기 구조의 상부전면에 포토레지스트(PR)를 도포하고, 노광 및 현상하여 상기 복수개의 제2금속층(35) 패턴의 사이에 위치하는 절연막(34)을 노출시키는 패턴을 형성한 후, 그 포토레지스트(PR)를 식각마스크로 노출된 절연막(34)을 식각한다.

그 다음, 도3d에 도시한 바와 같이 상기 포토레지스트(PR) 패턴을 제거한 후, 노출되는 절연막(34)과 제1 및 제2금속층(33,35)의 상부전면에 유전막(36)을 증착한다.

그 다음, 도3e에 도시한 바와 같이 상기 유전막(36)의 상부전면에 절연막(37)을 증착하고, 패터닝하여 상기 유전막(36)이 절곡되도록 형성된 영역의 상부를 노출시키는 패턴을 형성시킨다.

그 다음, 상기 구조의 상부전면에 금속을 증착하고 평탄화하여 커패시터의 상부전극인 제3금속층(38)을 형성하여 커패시터의 상부전극을 형성한다.

발명의 효과

상기한 바와 같이 본 발명 커패시터 제조방법은 금속으로 하부전극 패턴을 형성하고, 그 하부전극 패턴의 상부에 복수의 금속패턴을 형성하여 하부전극이 표면적을 확장시킴으로써, 좁은 면적에서 고유전율의 커패시터를 제조할 수 있어, 집적도를 향상시키는 효과가 있다.

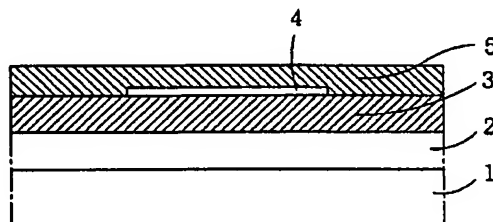
(57) 청구의 범위

청구항 1.

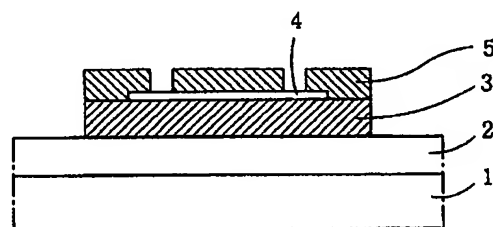
기판의 상부에 제1절연막을 증착하고, 그 제1절연막의 상부일부에 트렌치를 형성하고, 금속의 증착 및 평탄화공정을 통해 상기 트렌치 내에 위치하며, 제1절연막에 형성된 콘택홀을 통해 반도체 소자의 특정영역에 접하는 제1금속층을 형성하는 하부전극형성단계와; 상기 구조의 상부전면에 제2절연막을 증착하고, 사진식각공정을 통해 상기 제2절연막에 복수의 콘택홀을 형성하여 상기 제1금속층의 상부를 노출시키는 확장영역 설정단계와; 상기 구조의 상부전면에 금속을 증착하고 평탄화하여 상기 제2절연막에 형성된 콘택홀에 위치하는 제2금속층을 형성하는 하부전극 면적 확장단계와; 상기 제2금속층의 사이에 위치하는 제2절연막 패턴을 모두 제거하고, 상기 제1 및 제2금속층과 제2절연막의 상부에 유전막을 증착하는 유전막 증착단계와; 상기 유전막의 상부전면에 제3절연막을 증착하고, 사진식각공정을 통해 상기 제2금속층의 상부 및 제1금속층의 상부에 위치하는 유전막의 상부측을 노출시키는 패턴을 형성한 후, 금속을 증착하고 평탄화하여 상기 제3절연막의 식각영역에 위치하는 제3금속층을 형성하는 상부전극형성단계로 이루어진 것을 특징으로 하는 커패시터 제조방법.

도면

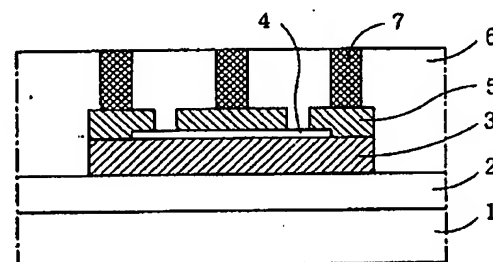
도면 1a



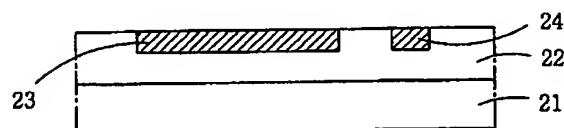
도면 1b



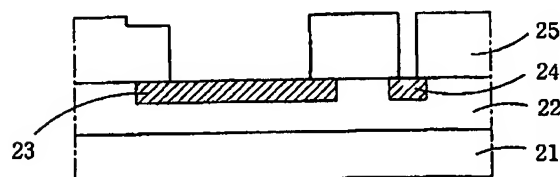
도면 1c



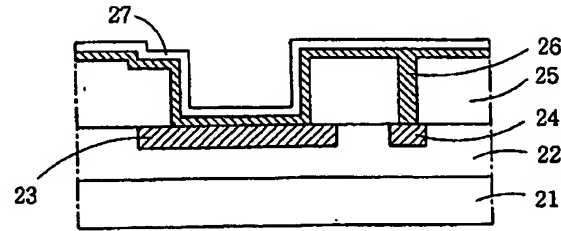
도면 2a



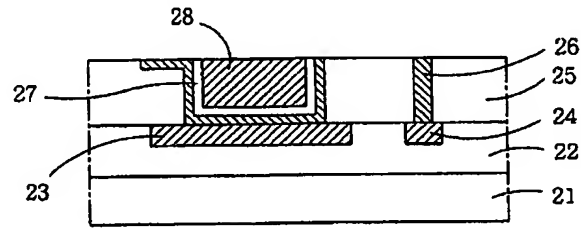
도면 2b



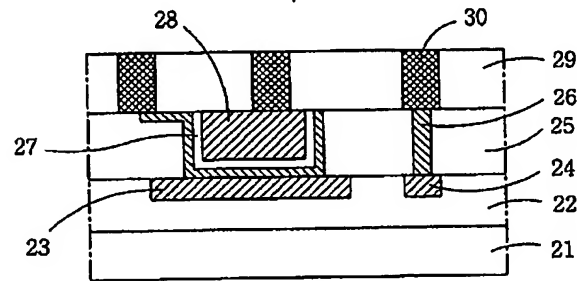
도면 2c



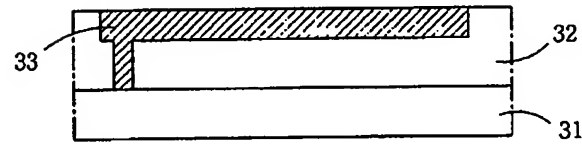
도면 2d



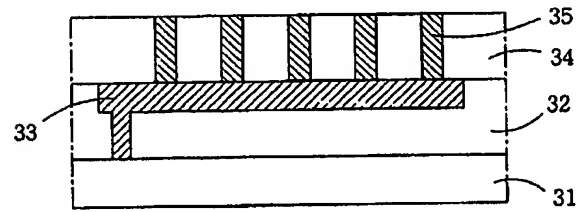
도면 2e



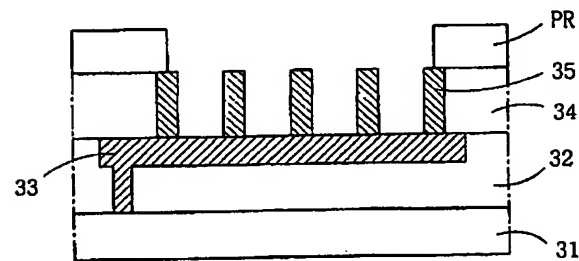
도면 3a



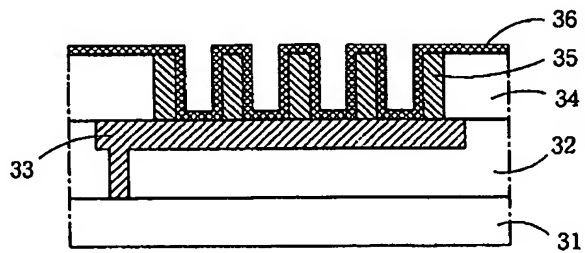
도면 3b



도면 3c



도면 3d



도면 3e

